

A07

**SEMICONDUCTOR STORAGE**

Patent Number: JP2000030439  
Publication date: 2000-01-28  
Inventor(s): NAKANO MASAYA  
Applicant(s): MITSUBISHI ELECTRIC  
Requested Patent: ☐ JP2000030439  
Application: JP19980197658 19980713  
Priority Number(s):  
IPC Classification: G11C11/403; G11C11/407  
EC Classification:  
Equivalents:

---

**Abstract**

---

**PROBLEM TO BE SOLVED:** To reduce fluctuation in a power source voltage by outputting a first activation signal activated for a prescribed time at a refresh mode time and a second activation signal delayed for the prescribed time than the first activation signal from a signal generation means and making word lines of first, second memory arrays a selection level in response to the first, second activation signals with a word line drive means.

**SOLUTION:** At an automatic refresh time, a command decoder 11 outputs a row system control signal ZRASR-A according to the state that internal control signals CS-ZWE become an H level. Delay circuits 31-33 delay respectively the signals ZRASR-A to ZRASR-C by the prescribed time to output the signals ZRASR-B to ZRASR-D. When the signals ZRASR-A to ZRASR-D are successively activated, respective word lines become successively the H level, and data refresh of memory cells answering to respective word lines are performed. Thus, the current consumption is diffused, and the fluctuation in the internal power source voltage is reduced.

---

Data supplied from the esp@cenet database - I2

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開2000-30439

(P2000-30439A)

(43) 公開日 平成12年1月28日 (2000.1.28)

(51) Int.Cl. <sup>7</sup>	識別記号	F I	テームコード* (参考)
G 1 1 C 11/403		G 1 1 C 11/34	3 6 3 M 5 B 0 2 4
11/407			3 5 4 D
			3 6 2 S

審査請求 未請求 請求項の数 3 O L (全 9 頁)

(21) 出願番号 特願平10-197658

(22) 出願日 平成10年7月13日 (1998.7.13)

(71) 出願人 000006013

三菱電機株式会社

東京都千代田区丸の内二丁目2番3号

(72) 発明者 中野 全也

東京都千代田区丸の内二丁目2番3号 三

菱電機株式会社内

(74) 代理人 100064746

弁理士 深見 久郎 (外3名)

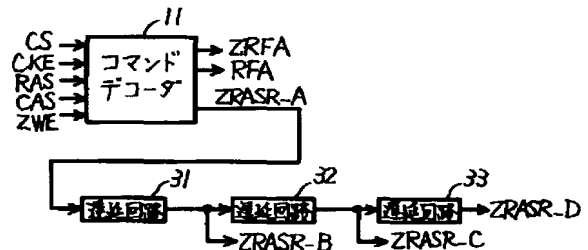
Fターム (参考) 5B024 AA04 BA13 CA11 DA18

(54) 【発明の名称】 半導体記憶装置

(57) 【要約】

【課題】 リフレッシュモード時における電源電圧の変動が小さな半導体記憶装置を提供する。

【解決手段】 SDRAM1のコマンドデコーダ11は、オートリフレッシュコマンドに応答して信号ZRASR\_Aを出力する。直列接続された遅延回路31~33は、それぞれ信号ZRASR\_Aを遅延させて信号ZRASR\_B~ZRASR\_Dを出力する。バンク#A~#Dのワード線WL\_Am~WL\_Dmは、それぞれ信号ZRASR\_A~ZRASR\_Dに反応して順次選択レベルにされる。バンク#A~#Dのワード線が同時に選択されていた従来に比べて、電流消費が分散される。



## 【特許請求の範囲】

【請求項1】 データのリフレッシュを行なうリフレッシュモードを有する半導体記憶装置であって、それぞれが、行列状に配列された複数のメモリセルと、各行に対応して設けられたワード線と、各列に対応して設けられたビット線対とを含む少なくとも第1および第2のメモリアレイ、

前記リフレッシュモードが指示されたことに応じて前記第1および第2のメモリアレイのワード線を1本ずつ選択する選択手段、

前記リフレッシュモードが指示されたことに応じて、予め定められた時間だけ活性化レベルとなる第1の活性化信号と、該第1の活性化信号よりも予め定められた遅延時間だけ遅延した第2の活性化信号とを出力する信号発生手段、

前記第1の活性化信号にตอบสนองして前記選択手段によって選択された前記第1のメモリアレイのワード線を選択レベルにし、前記第2の活性化信号にตอบสนองして前記選択手段によって選択された前記第2のメモリアレイのワード線を選択レベルにするワード線駆動手段、および前記ワード線駆動手段によって選択レベルにされたワード線に対応するメモリセルのデータのリフレッシュを行なうリフレッシュ実行手段を備える、半導体記憶装置。

【請求項2】 前記第1および第2のメモリアレイのワード線に共通のアドレス信号が予め割当てられ、

前記選択手段は、

前記リフレッシュモードが指示された回数をカウントし、そのカウント値に応じたアドレス信号を出力するアドレスカウンタ、および前記アドレスカウンタから出力されたアドレス信号が予め割当てられた前記第1および第2のメモリアレイのワード線を選択するアドレスデコーダを含む、請求項1に記載の半導体記憶装置。

【請求項3】 前記信号発生手段は、

前記リフレッシュモードが指示されたことに応じて前記第1の活性化信号を出力する第1の活性化信号発生回路、および前記第1の活性化信号発生回路から出力された前記第1の活性化信号を前記予め定められた遅延時間だけ遅延させて前記第2の活性化信号として出力する遅延回路を含む、請求項1または請求項2に記載の半導体記憶装置。

## 【発明の詳細な説明】

## 【0001】

【発明の属する技術分野】この発明は半導体記憶装置に関し、特に、データのリフレッシュを行なうリフレッシュモードを有する半導体記憶装置に関する。

## 【0002】

【従来の技術】高速アクセスを目的として開発されてきたクロック同期式半導体記憶装置すなわちシンクロナスダイナミックランダムアクセスメモリ（以下、SDRAMと称す）では、読出・書込といったランダムアクセス

動作中に割込んで行なうリフレッシュ動作が必要とされる。

【0003】図9は、そのようなSDRAMのオートリフレッシュに関連する部分を示すブロック図である。図9を参照して、このSDRAMは、コマンドデコーダ11、アドレスデコーダ36、RXT発生回路37a~37dおよびWL活性化回路38a~38dを備える。

【0004】コマンドデコーダ11は、内部制御信号CS、CKE、RAS、CAS、ZWEによってオートリフレッシュの実行が指示されたことに応じて、信号ZRASR、RFA、ZRFAを出力する。アドレスデコーダ36は、内部アドレスカウンタ（図示せず）で生成された内部アドレス信号ADDをデコードしてその内部アドレス信号ADDが予め割当てられたワード線WL<sub>Am</sub>~WL<sub>Dm</sub>を活性化させるための信号RXmを出力する。

【0005】RXT発生回路37a~37dは、それぞれ、4つのバンク#A~#Dに対応して設けられ、通常モード時はバンク選択信号BA<sub>A</sub>~BA<sub>D</sub>にตอบสนองしてワード線の立上げ時間を決定するための信号ZRXT<sub>A</sub>~ZRXT<sub>D</sub>を出力し、オートリフレッシュモード時は信号ZRASRにตอบสนองして信号ZRXT<sub>A</sub>~ZRXT<sub>D</sub>を出力する。

【0006】WL活性化回路38a~38dは、それぞれ、バンク#A~#Dの各ワード線に対応して設けられ、対応のワード線WL<sub>Am</sub>~WL<sub>Dm</sub>に対応する信号RXmが入力されたことに応じて、信号ZRXT<sub>A</sub>~ZRXT<sub>D</sub>の活性化時間に応じた時間だけワード線WL<sub>Am</sub>~WL<sub>Dm</sub>を活性化レベルの「H」レベルに立上げる。

【0007】図10は、図9で示したSDRAMの動作を示すタイムチャートである。図10を参照して、オートリフレッシュの実行が指示されるとコマンドデコーダ11の出力信号ZRASRが「L」レベルに立下がり（時刻t0）、これに応じてRXT発生回路37a~37dの出力信号ZRXT<sub>A</sub>~ZRXT<sub>D</sub>がともに「L」レベルに立下がる。また、アドレスデコーダ36の出力信号RXmが「H」レベルに立下がり、これに応じてワード線WL<sub>Am</sub>~WL<sub>Dm</sub>が同時に「H」レベルに立上げられる。

【0008】所定時間経過後、信号ZRASRが「H」レベルに立下がり、これに応じて信号ZRXT<sub>A</sub>~ZRXT<sub>D</sub>が「H」レベルに立上がり、ワード線WL<sub>Am</sub>~WL<sub>Dm</sub>が「L」レベルに立下げられて、ワード線WL<sub>Am</sub>~WL<sub>Dm</sub>に対応するメモリセルのデータのリフレッシュが終了する。オートリフレッシュモードでは、オートリフレッシュの実行が指示されるごとに内部アドレスカウンタによって前回と異なる内部アドレス信号ADDが生成され、4つのバンク#A~#Dの各々において1本のワード線が同時に選択されてデータ

のリフレッシュが行なわれる。

【0009】

【発明が解決しようとする課題】しかし、従来のSDRAMでは、オートリフレッシュモード時に4つのバンク#A～#Dのワード線WL<sub>Am</sub>～WL<sub>Dm</sub>が同時に選択されていたので、図10(m)に示すように、ワード線WL<sub>Am</sub>～WL<sub>Dm</sub>の立上がりおよび立下がり時に電流消費が集中し、内部電源電圧 $i_{nt.} V_{dd}$ のレベルが大きく変動するという問題があった。このように内部電源電圧 $i_{nt.} V_{dd}$ のレベルが大きく変動すると、SDRAMの動作マージンが小さくなってしまふ。

【0010】それゆえに、この発明の主たる目的は、リフレッシュモード時における電源電圧の変動が小さな半導体記憶装置を提供することである。

【0011】

【課題を解決するための手段】請求項1に係る発明は、データのリフレッシュを行なうリフレッシュモードを有する半導体記憶装置であって、少なくとも第1および第2のメモリアレイ、選択手段、信号発生手段、ワード線駆動手段、およびリフレッシュ実行手段を備える。第1および第2のメモリアレイの各々は、行列状に配列された複数のメモリセルと、各行に対応して設けられたワード線と、各列に対応して設けられたビット線対とを含む。選択手段は、リフレッシュモードが指示されたことに応じて第1および第2のメモリアレイのワード線を1本ずつ選択する。信号発生手段は、リフレッシュモードが指示されたことに応じて、予め定められた時間だけ活性化レベルとなる第1の活性化信号と、該第1の活性化信号よりも予め定められた遅延時間だけ遅延した第2の活性化信号とを出力する。ワード線駆動手段は、第1の活性化信号にตอบสนองして選択手段によって選択された第1のメモリアレイのワード線を選択レベルにし、第2の活性化信号にตอบสนองして選択手段によって選択された第2のメモリアレイのワード線を選択レベルにする。リフレッシュ実行手段は、ワード線駆動手段によって選択レベルにされたワード線に対応するメモリセルのデータのリフレッシュを行なう。

【0012】請求項2に係る発明では、請求項1に係る発明の第1および第2のメモリアレイのワード線に共通のアドレス信号が予め割当てられ、選択手段は、アドレスカウンタおよびアドレスデコーダを含む。アドレスカウンタは、リフレッシュモードが指示された回数をカウントし、そのカウント値に応じたアドレス信号を出力する。アドレスデコーダは、アドレスカウンタから出力されたアドレス信号が予め割当てられた第1および第2のメモリアレイのワード線を選択する。

【0013】請求項3に係る発明では、請求項1または2に係る発明の信号発生手段は、第1の活性化信号発生回路および遅延回路を含む。第1の活性化信号発生回路

は、リフレッシュモードが指示されたことに応じて第1の活性化信号を出力する。遅延回路は、第1の活性化信号発生回路から出力された第1の活性化信号を予め定められた時間だけ遅延させて第2の活性化信号として出力する。

【0014】

【発明の実施の形態】図1は、この発明の一実施の形態によるSDRAM1の構成を示すブロック図である。図1を参照して、SDRAM1は、アドレスバッファ2、CSバッファ3、RASバッファ4、CASバッファ5、WEバッファ6、CKEバッファ7、CLKバッファ8、DQMバッファ9、内部クロック発生回路10、コマンドデコーダ11およびモードレジスタ12を備える。

【0015】アドレスバッファ2は、内部クロック信号CLKに同期して外部アドレス信号 $ext. ADD$ を取込み、取込んだ外部アドレス信号 $ext. ADD$ に従って内部アドレス信号ADDを生成する。バッファ3～7、9は、それぞれ外部制御信号 $ext. /CS$ ,  $ext. /RAS$ ,  $ext. /CAS$ ,  $ext. /WE$ ,  $ext. CKE$ ,  $ext. DQM$ を受け、外部制御信号に応じた内部制御信号を生成する。CLKバッファ8は、外部クロック信号 $ext. CLK$ を内部クロック発生回路10に伝達させる。

【0016】内部クロック発生回路10は、CKEバッファ7から内部制御信号CKEが与えられたことに応じて活性化され、外部からCLKバッファ8を介して与えられた外部クロック信号 $ext. CLK$ に同期した内部クロック信号CLKを生成し、内部クロック信号CLKをSDRAM1全体に供給する。SDRAM1は、クロック信号CLKに同期して動作する。

【0017】コマンドデコーダ11は、バッファ3～7から与えられた内部制御信号の組合せに従って内部コマンド信号を生成し、SDRAM1全体を制御する。モードレジスタ12は、内部アドレス信号ADDの組合せに従ってSDRAM1の動作モードを設定する。

【0018】また、このSDRAM1は、複数(たとえば4つ)のバンク#A～#D、データインバッファ17、ライトドライバ18、アリアンプ19、リードレジスタ20および出力バッファ21を備え、4つのバンク#A～#Dの各々はメモリアレイ13、ロウデコーダ14、コラムデコーダ15およびセンスアンプ+入出力制御回路16を含む。

【0019】メモリアレイ13は、行列状に配列された複数のメモリセルMCと、各行に対応して設けられたワード線WLと、各列に対応して設けられたビット線対BLPとを含む。各メモリセルMCは、アクセス用のトランジスタと情報記憶用のキャパシタとを含む周知のものであり、1ビットのデータを記憶する。ワード線WLは、ロウデコーダ14の出力を伝達し、選択された行の

メモリセルMCを活性化させる。ビット線対BLPは、活性化されたメモリセルMCとデータの入出力を行なう。

【0020】ロウデコード14は、コマンドデコード11から与えられた内部コマンド信号と、アドレスバッファ2から与えられた内部アドレス信号ADDとに従って、複数のワード線WLのうちのいずれかのワード線WLを選択し、そのワード線WLを活性化レベルの「H」レベルにしてそのワード線WLに接続されたメモリセルMCを活性化させる。コラムデコード15は、コマンドデコード11から与えられた内部コマンド信号と、アドレスバッファ2から与えられた内部アドレス信号ADDとに従って、複数のビット線対BLPのうちのいずれかのビット線対BLPを選択する。

【0021】センスアンプ+入出力制御回路16は、書込モード時はコラムデコード15によって選択されたビット線BLPをデータ入出力線対IOPの一方端に接続し、読出モード時はコラムデコード15によって選択されたビット線対BLPに現れた微小電位差を電源電圧に増幅してデータ入出力線対IOPの一方端に与え、リフレッシュモード時はビット線対BLPに現れた微小電位差を電源電圧に増幅することによってメモリセルMCのデータを書直す。データインバッファ17は、書込モード時に、外部から与えられたデータDIをラッチし、そのデータDIをライトドライバ18に与える。ライトドライバ18は、DQMバッファ9から与えられる内部制御信号DQMによって制御され、書込動作時にデータインバッファ17からの書込データDIに応じた電圧をデータ入出力線対IOPの他方端に与える。

【0022】アリアンプ19は、読出モード時に、データ入出力線対IOPの他方端に現れた電位差を高速に増幅し、その電位差に応じたデータDOをリードレジスタ20に与える。リードレジスタ20は、内部クロック信号CLKに同期して読出データDOをラッチする。出力バッファ21は、リードレジスタ20にラッチされた読出データDOを内部クロック信号CLKに同期して外部に出力する。

【0023】次に、図1に示したSDRAM1の動作について簡単に説明する。書込モード時は、ロウデコード14およびコラムデコード15によって選択されたメモリセルMCがセンスアンプ+入出力制御回路16によってデータ入出力線対IOPの一方端に接続され、書込データDIがデータインバッファ17およびライトドライバ18によってそのメモリセルMCに書込まれる。

【0024】読出モード時は、ロウデコード14およびコラムデコード15によって選択されたメモリセルMCから読出されたデータDOがセンスアンプ+入出力制御回路16によって増幅されてデータ入出力線対IOPの一方端に与えられ、さらに、アリアンプ19、リードレジスタ20および出力バッファ21によって外部に出力

される。

【0025】リフレッシュモード時は、ロウデコード14によって1本のワード線WLが選択され、そのワード線WLに接続された複数のメモリセルMCが活性化され、各メモリセルMCのデータが対応のビット線対BLPに微小電位差として読出される。各ビット線対BLPに現れた微小電位差はセンスアンプ+入出力制御回路16によって電源電圧に増幅されて対応のメモリセルMCに書直される。

【0026】図2～図4は、本願の特徴となるオートリフレッシュに関連する部分の構成を示すブロック図である。図2～図4を参照して、このSDRAM1のロウデコード14には、遅延回路31～33、内部アドレスカウンタ34、ゲート回路35、アドレスデコード36、RXT発生回路37a～37dおよびWL活性化回路38a～38dが設けられている。

【0027】オートリフレッシュモード時は、外部制御信号ext./CS, ext./RAS, ext./CASを「L」レベルにし、外部制御信号ext.CKE, ext./WEを「H」レベルにして、内部制御信号CS, CKE, RAS, CAS, ZWEを「H」レベルにすることによってセットされる。

【0028】コマンドデコード11は、内部制御信号CS, CKE, RAS, CAS, ZWEが「H」レベルになったことに応じて信号ZRFA, RFAとロウ系制御信号ZRASR\_Aを出力する。

【0029】遅延回路31～33は直列接続されている。初段の遅延回路31はコマンドデコード11から出力された信号ZRASR\_Aを受ける。遅延回路31～33は、それぞれ信号ZRASR\_A, ZRASR\_B, ZRASR\_Cを所定時間(たとえば0.5クロック周期)だけ遅延させて信号ZRASR\_B, ZRASR\_C, ZRASR\_Dを出力する。

【0030】内部アドレスカウンタ34は、コマンドデコード11から信号ZRFAが出力されたことに応じて活性化され、信号ZRFAのパルス数をカウントする。内部アドレスカウンタ34のカウント値は、内部アドレス信号ADDとしてアドレスデコード36に入力される。ゲート回路35は、アドレスバッファ2の出力ノードとアドレスデコード36の入力ノードとの間に接続され、コマンドデコード11から信号ZRFA, RFAが出力されたことに応じて非導通となり、アドレスバッファ2から出力される内部アドレス信号ADDの通過を阻止する。したがって、通常モード時はアドレスバッファ2で生成された内部アドレス信号ADDがアドレスデコード36に与えられ、オートリフレッシュモード時は内部アドレスカウンタ34で生成された内部アドレス信号ADDがアドレスデコード36に与えられる。

【0031】アドレスデコード36は、内部アドレス信号ADDをデコードして、その内部アドレス信号ADD

が予め割当てられたワード線WL<sub>Am</sub>~WL<sub>Dm</sub>を活性化させるための信号RX<sub>m</sub>を出力する。ただし、1バンク当りのワード線WLの数をMとし、1以上M以下の整数をmとする。

【0032】図4のRXT発生回路37a~37dは、それぞれ、4つのバンク#A~#Dに対応して設けられ、通常モード時はバンク選択信号BA<sub>A</sub>~BA<sub>D</sub>にตอบสนองしてワード線の立上げ時間を決定するための信号ZRXT<sub>A</sub>~ZRXT<sub>D</sub>を出力し、オートリフレッシュモード時は信号ZRASR<sub>A</sub>~ZRASR<sub>D</sub>にตอบสนองして信号ZRXT<sub>A</sub>~ZRXT<sub>D</sub>を出力する。

【0033】WL活性化回路38a~38dは、それぞれ、バンク#A~#Dの各ワード線WL<sub>m</sub>に対応して設けられ、対応のワード線WL<sub>Am</sub>~WL<sub>Dm</sub>に対応する信号RX<sub>m</sub>が入力されたことに応じて、信号ZRXT<sub>A</sub>~ZRXT<sub>D</sub>の活性化時間に応じた時間だけワード線WL<sub>Am</sub>~WL<sub>Dm</sub>を活性化レベルの「H」レベルに立上げる。

【0034】図5は、図1~図4で示したSDRAM1のオートリフレッシュモード時の動作を示すタイムチャートである。オートリフレッシュコマンドがコマンドデコーダ11に入力されると、図5中の時刻t0に信号ZRASR<sub>A</sub>がまず活性化レベルの「L」レベルに立下がり、次いで0.5クロック周期ずつ遅延して信号ZRASR<sub>B</sub>~ZRASR<sub>D</sub>が順次「L」レベルとなる。これに応じて、信号ZRXT<sub>A</sub>~ZRXT<sub>D</sub>が順次「L」レベルとなり、さらに、ワード線WL<sub>Am</sub>~WL<sub>Dm</sub>が順次「H」レベルに立上げられる。

【0035】また、時刻t0から所定時間経過後に、信号ZRASR<sub>A</sub>がまず非活性化レベルの「H」レベルに立上がり、次いで0.5クロック周期ずつ遅延して信号ZRASR<sub>B</sub>~ZRASR<sub>D</sub>が順次「H」レベルとなる。これに応じて信号ZRXT<sub>A</sub>~ZRXT<sub>D</sub>が順次「H」レベルとなり、さらに、ワード線WL<sub>Am</sub>~WL<sub>Dm</sub>が順次「L」レベルに立下げられる。これにより、ワード線WL<sub>Am</sub>~WL<sub>Dm</sub>に対応するメモセルMCのデータのリフレッシュが行なわれる。

【0036】再度オートリフレッシュコマンドが入力されると、内部アドレスカウンタ34によって前回と異なる内部アドレス信号ADDが生成され、4つのバンク#A~#Dの各々において1本のワード線が順次選択されてデータのリフレッシュが行なわれる。

【0037】この実施の形態では、従来のように4つのバンク#A~#Dのワード線WL<sub>Am</sub>~WL<sub>Dm</sub>を同時に立上げ/立下げるのではなく所定時間ずつ立上げ/立下げるタイミングをずらすので、電流消費が分散され、従来に比べて内部電源電圧i<sub>nt</sub>.V<sub>dd</sub>の変動が小さく抑えられる。

【0038】図6および図7は図1~図5に示したSDRAMの変更例を示すブロック図であって、それぞれ図

2および図4と対比される図である。この変更例では、コマンドデコーダ11によって生成された信号ZRASR<sub>AB</sub>が遅延回路39で所定の時間（たとえば1クロック周期）だけ遅延されて信号ZRASR<sub>CD</sub>となる。信号ZRASR<sub>AB</sub>はRXT発生回路37a, 37bに入力され、信号RASR<sub>CD</sub>はRXT発生回路37c, 37dに入力される。

【0039】図8は、図6および図7で示したSDRAMのオートリフレッシュモード時の動作を示すタイムチャートである。オートリフレッシュコマンドがコマンドデコーダ11に入力されると、図8中の時刻t0に信号ZRASR<sub>AB</sub>がまず活性化レベルの「L」レベルに立下がり、次いで1クロック周期後に信号ZRASR<sub>CD</sub>が「L」レベルとなる。これに応じて、信号ZRAXT<sub>A</sub>, ZRXT<sub>B</sub>; ZRXT<sub>C</sub>, ZRXT<sub>D</sub>が順次「L」レベルとなり、さらに、ワード線WL<sub>Am</sub>, WL<sub>Bm</sub>; WL<sub>Cm</sub>, WL<sub>Dm</sub>が順次「H」レベルに立上がる。

【0040】また、時刻t0から所定時間経過後に、信号ZRASR<sub>AB</sub>がまず非活性化レベルの「H」レベルに立上がり、次いで1クロック周期後に信号ZRASR<sub>CD</sub>が「H」レベルとなる。これに応じて、信号ZRAXT<sub>A</sub>, ZRXT<sub>B</sub>; ZRXT<sub>C</sub>, ZRXT<sub>D</sub>が順次「H」レベルとなり、さらに、ワード線WL<sub>Am</sub>, WL<sub>Bm</sub>; WL<sub>Cm</sub>, WL<sub>Dm</sub>が順次「L」レベルに立下げられる。

【0041】この変更例では、従来のように4本のワード線WL<sub>Am</sub>~WL<sub>Dm</sub>を同時に立上げ/立下げるのではなく、2組のワード線WL<sub>Am</sub>とWL<sub>Bm</sub>, WL<sub>Cm</sub>とWL<sub>Dm</sub>の各組の立上げ/立下げのタイミングを所定時間だけずらすので、電流消費が分散され、従来に比べて内部電源電圧i<sub>nt</sub>.V<sub>dd</sub>の変動が小さく抑えられる。

【0042】なお、今回開示された実施の形態はすべての点で例示であって制限的なものではないと考えられるべきである。本発明の範囲は上記した説明ではなくて特許請求の範囲によって示され、特許請求の範囲と均等の意味および範囲内でのすべての変更が含まれることが意図される。

【0043】

【発明の効果】以上のように、請求項1に係る発明では、リフレッシュモードが指示されたことに応じて第1および第2のメモリアレイのワード線を1本ずつ選択する選択手段と、第1の活性化信号、およびそれよりも予め定められた遅延時間だけ遅延した第2の活性化信号を生成する信号発生手段と、第1の活性化信号にตอบสนองして第1のメモリアレイの選択されたワード線を選択レベルにするとともに、第2の活性化信号にตอบสนองして第2のメモリアレイの選択されたワード線を選択レベルにするワード線駆動手段とが設けられる。したがって、第1およ

び第2のメモリアレイのワード線を同時に立上げ／立下げていた従来に比べ、電流消費が分散され、内部電源電圧の変動が小さく抑えられる。

【0044】請求項2に係る発明では、請求項1に係る発明の第1および第2のメモリアレイのワード線に共通のアドレス信号が予め割当てられ、選択手段は、リフレッシュモードが指示された回数をカウントしそのカウント値に応じたアドレス信号を出力するアドレスカウンタと、アドレスカウンタから出力されたアドレス信号が予め割当てられた第1および第2のメモリアレイのワード線を選択するアドレスデコーダを含む。この場合は、リフレッシュモードが指示されるごとに異なるワード線を容易に選択できる。

【0045】請求項3に係る発明では、請求項1または2に係る発明の信号発生手段は、リフレッシュモードが指示されたことに応じて第1の活性化信号を出力する第1の活性化信号発生回路と、第1の活性化信号発生回路から出力された第1の活性化信号を予め定められた遅延時間だけ遅延させて第2の活性化信号として出力する遅延回路とを含む。この場合は、第1および第2の活性化信号を容易に生成できる。

#### 【図面の簡単な説明】

【図1】 この発明の一実施の形態によるSDRAMの構成を示すブロック図である。

【図2】 図1に示したSDRAMのオートリフレッシュに関連する部分の一部分を示すブロック図である。

【図3】 図1に示したSDRAMのオートリフレッシュに関連する部分の他の部分を示すブロック図である。

【図4】 図1に示したSDRAMのオートリフレッシュに関連する部分のさらに他の部分を示すブロック図である。

【図5】 図1～図4に示したSDRAMのオートリフレッシュモード時の動作を示すタイムチャートである。

【図6】 図1～図5で示したSDRAMの変更例であるSDRAMのオートリフレッシュに関連する部分の一部分を示すブロック図である。

【図7】 図6で示したSDRAMのオートリフレッシュに関連する部分の他の部分を示すブロック図である。

【図8】 図6および図7に示したSDRAMのオートリフレッシュモード時の動作を示すタイムチャートである。

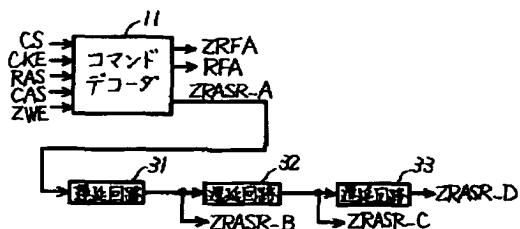
【図9】 従来のSDRAMのオートリフレッシュに関連する部分を示すブロック図である。

【図10】 図9に示したSDRAMのオートリフレッシュモード時の動作を示すタイムチャートである。

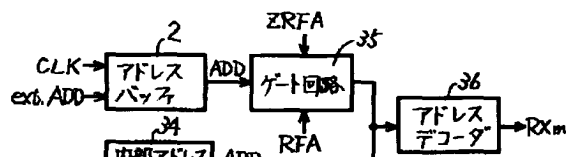
#### 【符号の説明】

1 SDRAM、2 アドレスバッファ、3 CSバッファ、4 RASバッファ、5 CASバッファ、6 WEバッファ、7 CKEバッファ、8 CLKバッファ、9 DQMバッファ、10 内部クロック発生回路、11 コマンドデコーダ、12 モードレジスタ、13 メモリアレイ、14 ロウデコーダ、15 コラムデコーダ、16 センスアンプ+入出力制御回路、17 データインバッファ、18 ライトドライバ、19 プリアンプ、20 リードレジスタ、21 出力バッファ、31～33、39 遅延回路、34 内部アドレスカウンタ、35 ゲート回路、36 アドレスデコーダ、37a～37d RXT発生回路、38a～38d WL活性化回路、#A～#D バンク、MC メモリセル、WL ワード線、BLP ビット線対、IOP データ入出力線対。

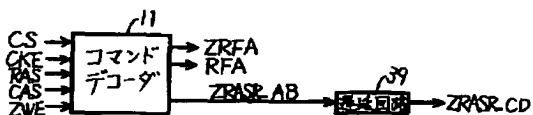
【図2】



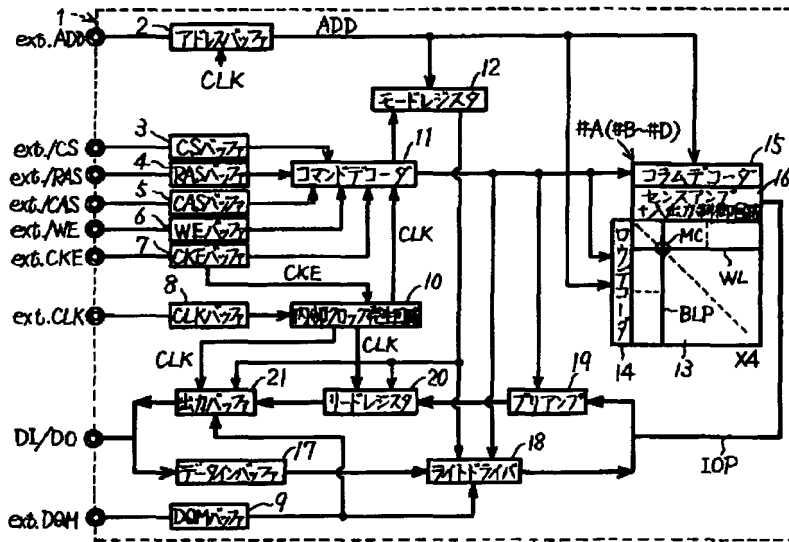
【図3】



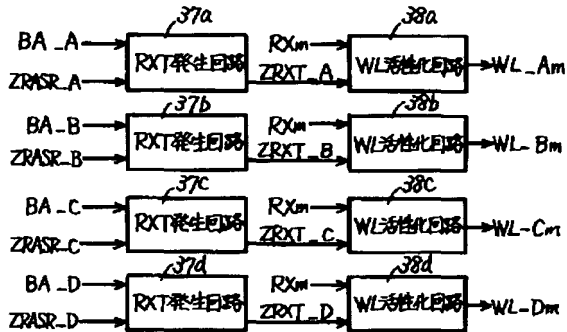
【図6】



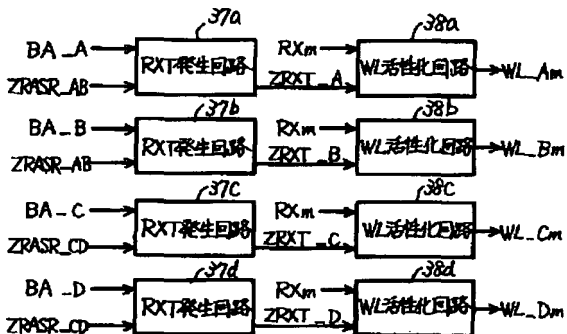
【図1】



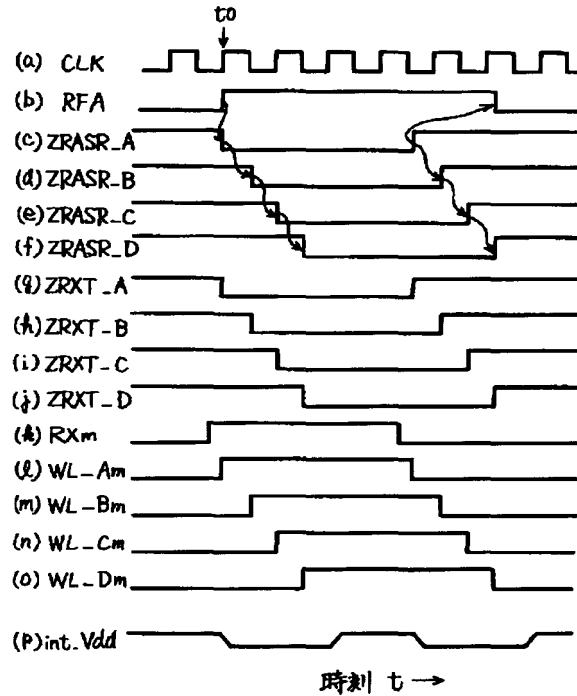
【図4】



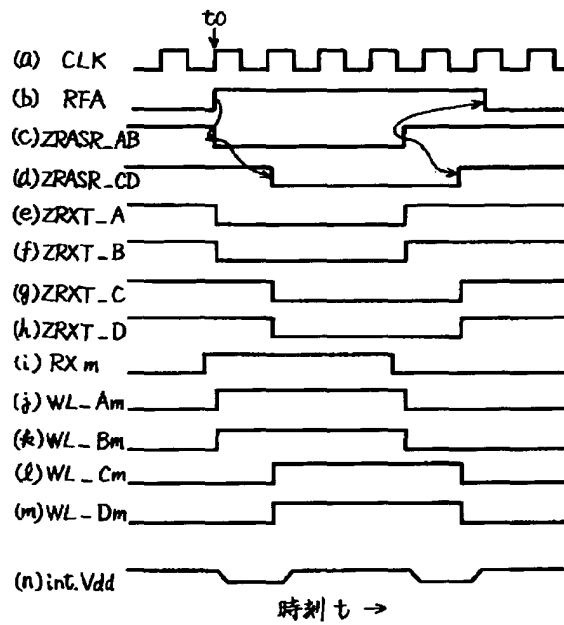
【図7】



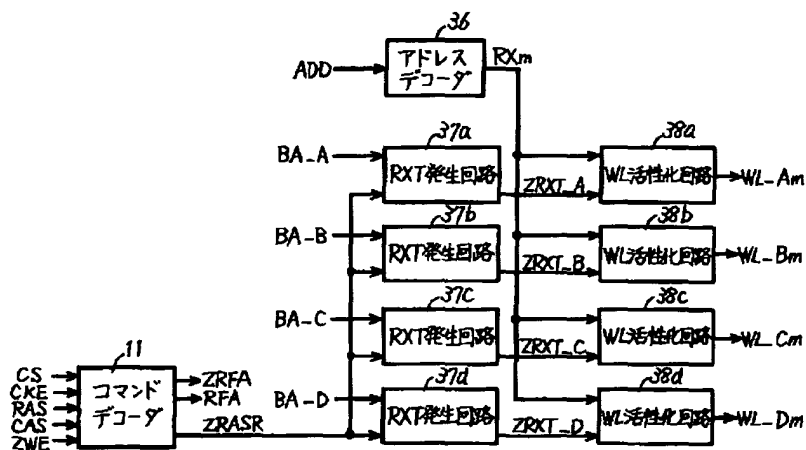
【図5】



【図8】



【図9】



【図10】

